

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021808

(43)Date of publication of application : 29.01.1993

(51)Int.CI.

H01L 29/788

H01L 29/792

H01L 27/04

H01L 27/088

H01L 27/115

(21)Application number : 03-168088

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.07.1991

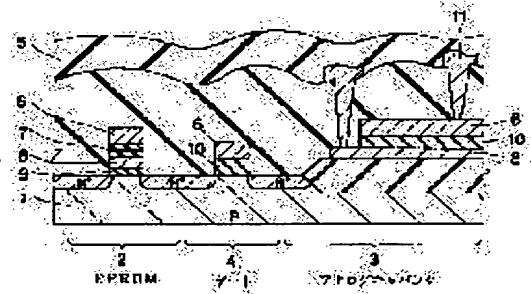
(72)Inventor : SHIBA KAZUYOSHI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To optionally set the thickness of each dielectric film, in a semiconductor integrated circuit device where an EPROM or an EEPROM and an analog capacitor are mounted on the same chip.

CONSTITUTION: This is a semiconductor integrated circuit device where an EPROM and an analog capacitor are mounted on the same chip, and on a p-type substrate 1 are made an EPROM 2, an analog capacitor 3, and a gate 4, and the surface is covered with a protective film 5. And the thickness of time analog capacitor 3 is set to be thicker than the thickness of the oxide film of the dielectric film of the EPROM 2 depending upon the condition of a thermal oxidation process, and time dielectric film of the analog capacitor 3 is made thicker than that of the dielectric film of the gate 4 by the setting of the rate of the speed increased oxidation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A manufacture method of semiconductor integrated circuit equipment which is the manufacture method of semiconductor integrated circuit equipment of having carried EPROM or EEPROM, and an analog capacitor that consists of electrodes between the polycrystalline silicon on the same chip, and is characterized by establishing a thickness difference between a dielectric film between layers of said EPROM or EEPROM, and a dielectric film of said analog capacitor.

[Claim 2] A manufacture method of semiconductor integrated circuit equipment which is the manufacture method of a dielectric film between polycrystalline silicon, and semiconductor integrated circuit equipment which forms a gate dielectric film in coincidence, and is characterized by enabling a setup of each thickness of a dielectric film between said polycrystalline silicon, and a gate dielectric film at arbitration by EPROM or EEPROM, an analog capacitor, and its up polycrystalline silicon consisting of a gate electrode.

[Claim 3] A manufacture method of semiconductor integrated circuit equipment according to claim 1 or 2 which uses a difference of an oxidation rate of a night RAIDO film, polycrystalline silicon, and substrate silicon as a means to establish a thickness difference of said dielectric film, and is characterized by forming with a thickness difference corresponding to this oxidation rate.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention is applied to the manufacture method of the semiconductor integrated circuit equipment whose scaling of the arbitration of each dielectric film is made possible about the manufacturing technology of semiconductor integrated circuit equipment in the semiconductor integrated circuit equipment which carries EPROM or EEPROM, and an analog capacitor on the same chip, and relates to effective technology.

[0002]

[Description of the Prior Art] Conventionally, in the semiconductor integrated circuit equipment which carried EPROM or EEPROM, and the analog capacitor on the same chip, an analog capacitor is a capacity between polycrystalline silicon constituted between the two-layer eye gates of EPROM or EEPROM with the 1st layer, and the dielectric film is formed in the dielectric film between polycrystalline silicon and coincidence of EPROM or EEPROM.

[0003] For example, in "IEEE 1988 CUSTOM INTEGRATED CIRCUITS CONFERENCE", when it carries EEPROM and an analog capacitor on the same chip, an analog capacitor is constituted from capacity between polycrystalline silicon, and is using the thermal oxidation film for the dielectric film. Moreover, when a circumference gate electrode consists of the 1st layer or two-layer eye polycrystalline silicon and it consists of two-layer eye polycrystalline silicon especially, the gate dielectric film is formed in the dielectric film between polycrystalline silicon, and coincidence.

[0004]

[Problem(s) to be Solved by the Invention] However, in the above conventional technology, if an analog capacitor is constituted by said technique when it is necessary to make dielectric thickness between polycrystalline silicon thin and carries EPROM or EEPROM, and an analog capacitor on the same chip, in order to carry out the scaling of EPROM or the EEPROM, on the occasion of the scaling of EPROM or EEPROM, the dielectric thickness of an analog capacitor will become thin inevitably, and the trouble shown below will produce it.

[0005] That is, the capacity between polycrystalline silicon consists of series connection of the capacity CS 1 formed in the space-charge region of the up polycrystalline silicon surface, the capacity C0 of a dielectric film, and the capacity CS 2 formed in the space-charge region of the lower polycrystalline silicon surface. For example, if lower polycrystalline silicon is grounded and positive voltage is impressed to up polycrystalline silicon, the up polycrystalline silicon surface will be depletion-ized and capacity CS 1 will decrease. On the other hand, the lower polycrystalline silicon surface is are-recording-ized, and capacity CS 2 increases.

[0006] Moreover, if negative voltage is impressed to up polycrystalline silicon, the up polycrystalline silicon surface will be are-recording-ized, and capacity CS 1 will increase. On the other hand, the lower polycrystalline silicon surface is depletion-ized and capacity CS 2 decreases. Moreover, C0 It bases on applied voltage and is fixed.

[0007] as mentioned above, the thing for which the N type of up polycrystalline silicon and lower polycrystalline silicon or the amount of dopes of a P type impurity is made to increase, and concentration is made the same since the polycrystalline silicon surface of another side is are-recording-ized and

capacity increases, although one polycrystalline silicon surface is depletion-ized by voltage impression and capacity decreases -- depletion-izing -- or -- *** ---izing -- being hard -- and since a polar dependency becomes small, the applied-voltage dependency of capacity becomes small.

[0008] Here, the voltage coefficient of capacity, a call, V_{cc}^{**1}/C , and dC/dV_g define the variation of capacity to the applied voltage per unit capacity, i.e., V_{cc} .

[0009] In order to constitute the analog circuit containing the capacity of high degree of accuracy generally, it is desirable for the absolute value of this voltage coefficient to be small. if dielectric thickness of for example, an analog capacitor is made thin, since the voltage to impress is the same -- the electric field on the surface of polycrystalline silicon -- large -- becoming -- depletion-izing -- or it are-recording-- becomes easy toize and the voltage coefficient of capacity becomes large.

[0010] Under the present circumstances, the amount of dopes of N type or a P type impurity is made to increase, and although it is possible to make a voltage coefficient small, since the membranous quality of a thermal oxidation film which grew on the polycrystalline silicon which doped the impurity to high concentration deteriorates, to EPROM or EEPROM by which high electric field are impressed to this portion, it is inapplicable [membranous quality]. Therefore, if dielectric thickness of an analog capacitor is made thin, the voltage coefficient of capacity will become large and implementation of a high-degree-of-accuracy analog circuit will become difficult.

[0011] Then, the purpose of this invention is in the semiconductor integrated circuit equipment with which EPROM or EEPROM, and an analog capacitor are carried on the same chip to offer the manufacture method of semiconductor integrated circuit equipment that the thickness of each dielectric film can be set as arbitration.

[0012] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0013]

[Means for Solving the Problem] It will be as follows if an outline of a typical thing is briefly explained among invention indicated in this application.

[0014] That is, a manufacture method of semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment which carried EPROM or EEPROM, and an analog capacitor that consists of electrodes between the polycrystalline silicon on the same chip, and establishes a thickness difference between a dielectric film between layers of EPROM or EEPROM, and a dielectric film of an analog capacitor.

[0015] Moreover, EPROM or EEPROM, an analog capacitor, and its up polycrystalline silicon consist of a gate electrode, and manufacture methods of other semiconductor integrated circuit equipments of this invention are a dielectric film between polycrystalline silicon, and semiconductor integrated circuit equipment which forms a gate dielectric film in coincidence, and enable a setup of each thickness of a dielectric film between polycrystalline silicon, and a gate dielectric film at arbitration.

[0016] In this case, a difference of an oxidation rate of a night RAIDO film, polycrystalline silicon, and substrate silicon is used, and it is made to form with a thickness difference corresponding to this oxidation rate as a means to establish a thickness difference of said dielectric film.

[0017]

[Function] According to the manufacture method of the above mentioned semiconductor integrated circuit equipment, a night RAIDO film hardly oxidizes at the time of up oxidation by setting up a thickness difference corresponding to the difference of an oxidation rate, and using the property that a night RAIDO film cannot oxidize easily. That is, there is almost no increment in the dielectric thickness of EPROM or EEPROM, and, on the other hand, the dielectric film of an analog capacitor can be set as the thickness of arbitration by thermal oxidation of polycrystalline silicon. Thereby, the oxide-film thickness of an analog capacitor can be set up more thickly than the oxide-film thickness of the dielectric film of EPROM or EEPROM.

[0018] Moreover, since accelerating oxidation of the polycrystalline silicon which doped N type or a P type impurity can be used, a thickness difference can be prepared in the dielectric film and gate dielectric film of

an analog capacitor.

[0019]

[Example 1] The cross section showing the important section of the semiconductor integrated circuit equipment whose drawing 1 is one example of the manufacture method of the semiconductor integrated circuit equipment of this invention, drawing 2 – drawing 6 are the cross sections showing the manufacture procedure in the semiconductor integrated circuit equipment of this example.

[0020] First, drawing 1 explains the configuration of the semiconductor integrated circuit equipment of this example.

[0021] The semiconductor integrated circuit equipment of this example is used as the semiconductor integrated circuit equipment with which EPROM and the analog capacitor were carried on the same chip, EPROM2, the analog capacitor 3, and the gate 4 are formed on the P type substrate 1, and the surface is covered with the protective coat 5.

[0022] EPROM2 is formed from the laminated structure of the lower gate by the up gate by polycrystalline silicon 6, the dielectric film by the ONO film (an oxide film / night RAIDO film / oxide film) 7, and polycrystalline silicon 8, and an oxide film 9.

[0023] The analog capacitor 3 is formed from the laminated structure of the lower gate by the up gate by the same polycrystalline silicon 6 as EPROM2, the dielectric film by the O film (oxide film) 10, and the same polycrystalline silicon 8 as EPROM2, and the aluminum wiring 11 is pulled out from the up gate and the lower gate, respectively. And the value converted into the oxide-film thickness of the dielectric film of the analog capacitor 3 is set up more greatly than the value which converted the dielectric thickness of EPROM2 into oxide-film thickness.

[0024] The gate 4 is formed from the dielectric film by the gate by the same polycrystalline silicon 6 as EPROM2 and the analog capacitor 3, and the same O film 10 as the analog capacitor 3.

[0025] Next, based on drawing 2 – drawing 6, a process flow is explained about an operation of this example.

[0026] First, patterning of a lower gate electrode is performed [after oxidizing the P type substrate 1 thermally] further after doping formation of the oxide film 9 by oxidation, a depository of polycrystalline silicon 8, N type, or a P type impurity (drawing 2). And the floating gate of EPROM2 and the lower electrode of the analog capacitor 3 are formed with a lower gate electrode.

[0027] Furthermore, night rye DODEPO is performed after thermal oxidation (drawing 3). And a photoresist and an etching production process remove the analog capacitor 3 and NO film of the gate 4 (drawing 4).

[0028] Next, the ONO film 7 of EPROM2, the analog capacitor 3, and the O film 10 of the gate 4 are formed by oxidizing a night RAIDO film, polycrystalline silicon 8, and the silicon of the P type substrate 1 to coincidence by thermal oxidation (drawing 5).

[0029] Since most night RAIDO films do not oxidize in a thermal oxidation production process at this time when there is little oxidation temperature or time amount, the dielectric film of EPROM2 turns into NO film.

[0030] Moreover, the thermal oxidation on polycrystalline silicon 8 becomes thicker than the thermal oxidation film of the P type substrate 1 by accelerating oxidation. That is, the rate of accelerating oxidation can be set up with the N type or P type high impurity concentration of an oxidizing atmosphere and other crystal silicon, and can set the thickness difference of each dielectric film as arbitration by this.

[0031] Furthermore, an up gate electrode is formed (drawing 6). And formation of an oxide film, the drawer of the aluminum wiring 11, and semiconductor integrated circuit equipment as shown in drawing 1 by forming a protective coat 5 further are manufactured.

[0032] By as mentioned above, setup of the oxidation temperature [according to the semiconductor integrated circuit equipment of this example] in a thermal oxidation production process, and time amount Between the dielectric film of EPROM2, and the dielectric film of the analog capacitor 3, a thickness difference, Namely, it becomes possible to set up the oxide-film thickness of the analog capacitor 3 more thickly than the oxide-film thickness reduced property of the dielectric film of EPROM. And the dielectric film of the analog capacitor 3 can be thickened compared with the dielectric film of the gate 4 by setting

the rate of the accelerating oxidation by the N type or P type high impurity concentration of an oxidizing atmosphere and polycrystalline silicon as arbitration.

[0033]

[Example 2] The cross section showing the important section of the semiconductor integrated circuit equipment whose drawing 7 is other examples of the manufacture method of the semiconductor integrated circuit equipment of this invention, drawing 8 – drawing 12 are the cross sections showing the manufacture procedure in the semiconductor integrated circuit equipment of this example.

[0034] The semiconductor integrated circuit equipment of this example is used as the semiconductor integrated circuit equipment with which EPROM and the analog capacitor were carried on the same chip like the example 1, EPROM2a, the analog capacitor 3, and the gate 4 are formed on the P type substrate 1, and the difference with an example 1 is a point that the laminated structures of EPROM2a differ.

[0035] The dielectric film between the up gate according [EPROM2a of this example] to polycrystalline silicon 6 and the lower gate by polycrystalline silicon 8 is formed from the ONONO film (an oxide film / night RAIDO film / oxide film / night RAIDO film / oxide film) 12.

[0036] That is, in an example 1, although steam oxidation is used to set up thickly O film of the upper part of the ONO film 7, the trouble that the analog capacitor 3 and the O film 10 of the gate 4 will become thick at this time arises. For example, it is this example that steam oxidation coped with this at 950 degrees C since the thickness of the O film 10 on the P type substrate 1 was set also to about 200nm, although the thickness of the up oxide film of the ONO film 7 was about 2nm on the conditions for 20 minutes.

[0037] Next, based on drawing 8 – drawing 12, a process flow is explained about an operation of this example.

[0038] First, like an example 1, patterning of a lower gate electrode is performed further and the floating gate of EPROM2a and the lower electrode of the analog capacitor 3 are formed [after oxidizing the P type substrate 1 thermally] after doping formation of an oxide film 9, a depository of polycrystalline silicon 8, N type, or a P type impurity (drawing 8).

[0039] Furthermore, thermal oxidation and night rye DODEPO are performed to night rye DODEPO and a pan after thermal oxidation, and the NONO film of the ONONO film 12 of EPROM2a is formed (drawing 9). And a photoresist and an etching production process remove the analog capacitor 3 and the NONO film of the gate 4 (drawing 10).

[0040] Next, the ONONO film 12 of EPROM2a, the analog capacitor 3, and the O film 10 of the gate 4 are formed by oxidizing a night RAIDO film, polycrystalline silicon 8, and the silicon of the P type substrate 1 to coincidence by thermal oxidation (drawing 11). When there is almost no oxidation of a night RAIDO film like an example 1 in a thermal oxidation production process at this time, the dielectric film of EPROM2a turns into a NONO film. Moreover, a thickness setup is possible for the O film 10 on polycrystalline silicon 8 and the P type substrate 1 to arbitration.

[0041] Furthermore, an up gate electrode is formed (drawing 12). And formation of an oxide film, the drawer of the aluminum wiring 11, and semiconductor integrated circuit equipment as shown in drawing 7 by forming a protective coat 5 further are manufactured.

[0042] Therefore, it becomes possible to set up thickly the oxide film of the ONONO film 12 of EPROM2a, without according to the semiconductor integrated circuit equipment of this example, being able to set up the oxide-film thickness of the analog capacitor 3 like an example 1 more thickly than the oxide-film thickness reduced property of the dielectric film of EPROM2a, and thickening the analog capacitor 3 and the oxide film of the gate 4 compared with an example 1.

[0043]

[Example 3] The cross section showing the important section of the semiconductor integrated circuit equipment whose drawing 13 is the example of further others of the manufacture method of the semiconductor integrated circuit equipment of this invention, drawing 14 – drawing 20 are the cross sections showing the manufacture procedure in the semiconductor integrated circuit equipment of this example.

[0044] The semiconductor integrated circuit equipment of this example is used as the semiconductor

integrated circuit equipment with which EPROM and the analog capacitor were carried on the same chip like examples 1 and 2, EPROM2, analog capacitor 3a, and the gate 4 are formed on the P type substrate 1, and the difference with examples 1 and 2 is a point that the laminated structures of analog capacitor 3a differ.

[0045] That is, the dielectric film between the up gate according [analog capacitor 3a of this example] to polycrystalline silicon 6 and the lower gate by polycrystalline silicon 8 is formed from the ONONO film (an oxide film / night RAIDO film / oxide film / night RAIDO film / oxide film) 13. And the night RAIDO film of analog capacitor 3a is formed more thickly than the night RAIDO film of EPROM2.

[0046] Next, based on drawing 14 – drawing 20, a process flow is explained about an operation of this example.

[0047] First, thermal oxidation and night rye DODEPO are further performed like examples 1 and 2 after doping thermal oxidation, formation of an oxide film 9, a depository of polycrystalline silicon 8, N type, or a P type impurity for the P type substrate 1 (drawing 14). And patterning of a lower gate electrode is performed (drawing 15). At this time, NO film is formed on the floating gate of EPROM2, and the lower electrode of analog capacitor 3a.

[0048] Furthermore, a photoresist and an etching production process remove NO film of EPROM2 (drawing 16). And thermal oxidation and night rye DODEPO are performed and the NONO film of NO film of the ONO film 7 of EPROM2 and the ONONO film 13 of analog capacitor 3a is formed (drawing 17). When night RAIDO hardly oxidizes by thermal oxidation at this time, analog capacitor 3a becomes NO film.

[0049] Next, a photoresist and an etching production process remove NO film of the gate 4 (drawing 18). And by thermal oxidation, the silicon of a night RAIDO film and the P type substrate 1 is oxidized to coincidence, and the ONO film 7 of EPROM2, the ONONO film 13 of analog capacitor 3a or an ONO film, and the O film 10 of the gate 4 are formed (drawing 19). When night RAIDO hardly oxidizes by thermal oxidation at this time, in EPROM2, NO film and analog capacitor 3a becomes a NONO film or NO film.

[0050] Furthermore, an up gate electrode is formed (drawing 20). And formation of an oxide film, the drawer of the aluminum wiring 11, and semiconductor integrated circuit equipment as shown in drawing 13 by forming a protective coat 5 further are manufactured.

[0051] Therefore, according to the semiconductor integrated circuit equipment of this example, it becomes possible to be able to set up more thickly than the oxide-film thickness reduced property of the dielectric film of EPROM2 the oxide-film thickness of analog capacitor 3a like examples 1 and 2, and to form thickly the night RAIDO film of analog capacitor 3a compared with the night RAIDO film of EPROM2.

[0052] As mentioned above, although invention made by this invention person was concretely explained based on examples 1–3, it cannot be overemphasized that it can change variously in the range which this invention is not limited to said each example, and does not deviate from the summary.

[0053] For example, although the case where an oxide film was formed by thermal oxidation about the semiconductor integrated circuit equipment of each of said example was explained, this invention is not limited to said example and can be applied widely also about the case where the CVD oxide film according [for example,] to CVD is used for the part.

[0054] Moreover, the nitride of an oxide film or the nitride of silicon other than a CVD film may be used also about a night RAIDO film, for example. Furthermore, it is applicable also about the case where it is used, other high dielectric constant films, for example, tantalum oxide film etc., etc.

[0055] Although the above explanation explained the case where invention mainly made by this invention person was applied to the semiconductor integrated circuit equipment used for EPROM which is the field of the invention, it is not limited to this and can apply widely about other semiconductor integrated circuit equipments, such as EEPROM.

[0056]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated in this application is explained briefly.

[0057] That is, since the dielectric thickness of EPROM or EEPROM, the dielectric thickness of an analog capacitor, and gate dielectric thickness can be set as arbitration by using the difference of the oxidation

rate of a night RAIDO film, polycrystalline silicon, and substrate silicon, and forming with the thickness difference corresponding to this oxidation rate, each optimization is possible.

[0058] Thereby, by setting up the dielectric film of EPROM or EEPROM thinly, by a scaling's becoming possible and setting up the dielectric film of an analog capacitor thickly, formation of capacity with a small voltage coefficient is attained, and the scaling of arbitration becomes possible by setting up gate dielectric thickness independently of them further.

[0059] In the semiconductor integrated circuit equipment with which this result, especially EPROM or EEPROM and an analog capacitor are carried on the same chip, the manufacture method of the semiconductor integrated circuit equipment whose scaling of the arbitration of each dielectric film is made possible can be acquired.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the important section of the semiconductor integrated circuit equipment which is the example 1 of the manufacture method of the semiconductor integrated circuit equipment of this invention.

[Drawing 2] It is the cross section showing the manufacture procedure in the semiconductor integrated circuit equipment of an example 1.

[Drawing 3] It is the cross section showing the manufacture procedure which follows drawing 2 in an example 1.

[Drawing 4] It is the cross section showing the manufacture procedure which follows drawing 3 in an example 1.

[Drawing 5] It is the cross section showing the manufacture procedure which follows drawing 4 in an example 1.

[Drawing 6] It is the cross section showing the manufacture procedure which follows drawing 5 in an example 1.

[Drawing 7] It is the cross section showing the important section of the semiconductor integrated circuit equipment which is the example 2 of the manufacture method of the semiconductor integrated circuit equipment of this invention.

[Drawing 8] It is the cross section showing the manufacture procedure in the semiconductor integrated circuit equipment of an example 2.

[Drawing 9] It is the cross section showing the manufacture procedure which follows drawing 8 in an example 2.

[Drawing 10] It is the cross section showing the manufacture procedure which follows drawing 9 in an example 2.

[Drawing 11] It is the cross section showing the manufacture procedure which follows drawing 10 in an example 2.

[Drawing 12] It is the cross section showing the manufacture procedure which follows drawing 11 in an example 2.

[Drawing 13] It is the cross section showing the important section of the semiconductor integrated circuit equipment which is the example 3 of the manufacture method of the semiconductor integrated circuit equipment of this invention.

[Drawing 14] It is the cross section showing the manufacture procedure in the semiconductor integrated circuit equipment of an example 3.

[Drawing 15] It is the cross section showing the manufacture procedure which follows drawing 14 in an example 3.

[Drawing 16] It is the cross section showing the manufacture procedure which follows drawing 15 in an example 3.

[Drawing 17] It is the cross section showing the manufacture procedure which follows drawing 16 in an example 3.

[Drawing 18] It is the cross section showing the manufacture procedure which follows drawing 17 in an example 3.

• [Drawing 19] It is the cross section showing the manufacture procedure which follows drawing 18 in an example 3.

• [Drawing 20] It is the cross section showing the manufacture procedure which follows drawing 19 in an example 3.

[Description of Notations]

1 P Type Substrate

2 EPROM

2a EEPROM

3 Analog Capacitor

3a Analog capacitor

4 Gate

5 Protective Coat

6 Polycrystalline Silicon

7 ONO Film (Dielectric Film)

8 Polycrystalline Silicon

9 Oxide Film

10 O Film (Dielectric Film)

11 Aluminum Wiring

12 ONONO Film (Dielectric Film)

13 ONONO Film (Dielectric Film)

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-21808

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵
H 01 L 29/788
29/792
27/04

識別記号 庁内整理番号
C 8427-4M
8225-4M
7342-4M

F I

技術表示箇所

H 01 L 29/78 371
27/08 102 H

審査請求 未請求 請求項の数3(全8頁) 最終頁に続く

(21)出願番号 特願平3-168088

(22)出願日 平成3年(1991)7月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 志波 和佳

東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

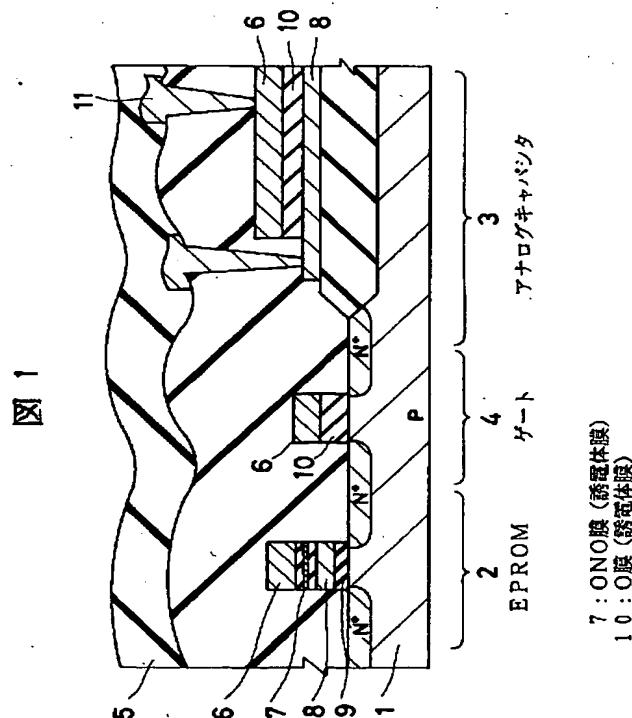
(74)代理人 弁理士 简井 大和

(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【目的】 E PROMまたはEEPROMとアナログキャパシタが同一チップ上に搭載される半導体集積回路装置において、各誘電体膜の膜厚の任意設定を可能とする。

【構成】 E PROMとアナログキャパシタとが同一チップ上に搭載された半導体集積回路装置であって、P型基板1上に、E PROM 2、アナログキャパシタ3およびゲート4が形成され、表面が保護膜5により覆われている。そして、熱酸化工程の条件によってアナログキャパシタ3の酸化膜厚がE PROM 2の誘電体膜の酸化膜厚より厚く設定され、かつ増速酸化の割合の設定によってアナログキャパシタ3の誘電体膜がゲート4の誘電体膜に比べて厚く形成される。



(2)

2

【特許請求の範囲】

【請求項1】 E PROMまたはEEPROMと、その多結晶シリコン間電極で構成されるアナログキャパシタとを同一チップ上に搭載した半導体集積回路装置の製造方法であって、前記E PROMまたはEEPROMの層間誘電体膜と、前記アナログキャパシタの誘電体膜との間に膜厚差を設けることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 E PROMまたはEEPROM、アナログキャパシタおよびその上部多結晶シリコンがゲート電極からなり、多結晶シリコン間誘電体膜と同時にゲート誘電体膜を形成する半導体集積回路装置の製造方法であって、前記多結晶シリコン間誘電体膜およびゲート誘電体膜の各々の膜厚を任意に設定可能とすることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 前記誘電体膜の膜厚差を設ける手段として、ナイトライド膜、多結晶シリコン、基板シリコンの酸化レートの差を利用し、該酸化レートに対応した膜厚差で形成することを特徴とする請求項1または2記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置の製造技術に関し、特にE PROMまたはEEPROMとアナログキャパシタを同一チップ上に搭載する半導体集積回路装置において、各誘電体膜の任意のスケーリングが可能とされる半導体集積回路装置の製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】 従来、E PROMまたはEEPROMとアナログキャパシタとを同一チップ上に搭載した半導体集積回路装置において、アナログキャパシタは、E PROMまたはEEPROMの1層目と2層目ゲート間で構成される多結晶シリコン間容量であり、またその誘電体膜はE PROMまたはEEPROMの多結晶シリコン間誘電体膜と同時に形成されている。

【0003】 たとえば、「IEEE 1988 CUS TOM INTEGRATED CIRCUITS CONFERENCE」では、EEPROMとアナログキャパシタを同一チップ上に搭載する場合、アナログキャパシタは多結晶シリコン間容量で構成し、その誘電体膜に熱酸化膜を使用している。また、周辺ゲート電極は1層目または2層目多結晶シリコンからなり、特に2層目多結晶シリコンからなる場合、そのゲート誘電体膜は多結晶シリコン間誘電体膜と同時に形成している。

【0004】

【発明が解決しようとする課題】 ところが、前記のような従来技術において、E PROMまたはEEPROMをスケーリングするには、多結晶シリコン間誘電体膜厚を薄くする必要があり、E PROMまたはEEPROMと

アナログキャパシタを同一チップ上に搭載する場合、前記手法によりアナログキャパシタを構成すると、E PROMまたはEEPROMのスケーリングに際し、アナログキャパシタの誘電体膜厚は必然的に薄くなり、以下に示す問題点が生じる。

【0005】 すなわち、多結晶シリコン間容量は、上部多結晶シリコン表面の空間電荷領域に形成される容量 C_{S1} 、誘電体膜の容量 C_0 、下部多結晶シリコン表面の空間電荷領域に形成される容量 C_{S2} の直列接続で構成される。たとえば、下部多結晶シリコンを接地し、上部多結晶シリコンに正の電圧を印加すると、上部多結晶シリコン表面は空乏化し、容量 C_{S1} は減少する。一方、下部多結晶シリコン表面は蓄積化し、容量 C_{S2} は増加する。

【0006】 また、上部多結晶シリコンに負の電圧を印加すると、上部多結晶シリコン表面は蓄積化し、容量 C_{S1} は増加する。一方、下部多結晶シリコン表面は空乏化し、容量 C_{S2} は減少する。また、 C_0 は印加電圧によらず一定である。

【0007】 以上のように、電圧印加により一方の多結晶シリコン表面は空乏化して容量は減少するが、他方の多結晶シリコン表面は蓄積化して容量は増加するので、上部多結晶シリコンおよび下部多結晶シリコンのN型またはP型不純物のドープ量を増加させ、かつ濃度同じにすることにより、空乏化または蓄積化し難くなり、かつ極性依存性が小さくなるので容量の印加電圧依存性は小さくなる。

【0008】 ここで、単位容量当りの印加電圧に対する容量の変化量、すなわち V_{cc} を容量の電圧係数と呼び、

$$V_{cc} \equiv 1/C \cdot dC/dVg$$

で定義される。

【0009】 一般に、高精度の容量を含むアナログ回路を構成するためには、この電圧係数の絶対値が小さいことが望ましい。たとえば、アナログキャパシタの誘電体膜厚を薄くすると、印加する電圧は同じであるから多結晶シリコン表面の電界は大きくなり、空乏化または蓄積化し易くなつて容量の電圧係数は大きくなる。

【0010】 この際、N型またはP型不純物のドープ量を増加させ、電圧係数を小さくすることは可能であるが、高濃度に不純物をドープした多結晶シリコン上に成長した熱酸化膜の膜質は劣化するため、この部分に高電界が印加されるE PROMまたはEEPROMに対しては適用できない。従つて、アナログキャパシタの誘電体膜厚を薄くすると、容量の電圧係数が大きくなり、高精度アナログ回路の実現が困難になる。

【0011】 そこで、本発明の目的は、E PROMまたはEEPROMとアナログキャパシタとが同一チップ上に搭載される半導体集積回路装置において、各誘電体膜の膜厚を任意に設定することができる半導体集積回路装置の製造方法を提供することにある。

(3)

3

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0014】すなわち、本発明の半導体集積回路装置の製造方法は、EPROMまたはEEPROMと、その多結晶シリコン間電極で構成されるアナログキャパシタとを同一チップ上に搭載した半導体集積回路装置であって、EPROMまたはEEPROMの層間誘電体膜と、アナログキャパシタの誘電体膜との間に膜厚差を設けるものである。

【0015】また、本発明の他の半導体集積回路装置の製造方法は、EEPROMまたはEEPROM、アナログキャパシタおよびその上部多結晶シリコンがゲート電極からなり、多結晶シリコン間誘電体膜と同時にゲート誘電体膜を形成する半導体集積回路装置であって、多結晶シリコン間誘電体膜およびゲート誘電体膜の各々の膜厚を任意に設定可能とするものである。

【0016】この場合に、前記誘電体膜の膜厚差を設ける手段として、ナイトライド膜、多結晶シリコン、基板シリコンの酸化レートの差を利用し、この酸化レートに対応した膜厚差で形成するようにしたものである。

【0017】

【作用】前記した半導体集積回路装置の製造方法によれば、酸化レートの差に対応して膜厚差を設定し、ナイトライド膜の酸化され難い特性を利用することにより、上部酸化時にナイトライド膜がほとんど酸化されがない。すなわち、EPROMまたはEEPROMの誘電体膜厚の増加はほとんどなく、一方アナログキャパシタの誘電体膜は、多結晶シリコンの熱酸化によって任意の膜厚に設定することができる。これにより、アナログキャパシタの酸化膜厚を、EPROMまたはEEPROMの誘電体膜の酸化膜厚より厚く設定することができる。

【0018】また、N型またはP型不純物をドープした多結晶シリコンの増速酸化を利用することができるの、アナログキャパシタの誘電体膜とゲート誘電体膜に膜厚差を設けることができる。

【0019】

【実施例1】図1は本発明の半導体集積回路装置の製造方法の一実施例である半導体集積回路装置の要部を示す断面図、図2～図6は本実施例の半導体集積回路装置における製造手順を示す断面図である。

【0020】まず、図1により本実施例の半導体集積回路装置の構成を説明する。

【0021】本実施例の半導体集積回路装置は、たとえばEPROMとアナログキャパシタとが同一チップ上に搭載された半導体集積回路装置とされ、P型基板1上

(3)

4

に、EPROM2、アナログキャパシタ3およびゲート4が形成され、表面が保護膜5により覆われている。

【0022】EPROM2は、多結晶シリコン6による上部ゲート、ONO膜(酸化膜/ナイトライド膜/酸化膜)7による誘電体膜、多結晶シリコン8による下部ゲートおよび酸化膜9の積層構造から形成されている。

【0023】アナログキャパシタ3は、EPROM2と同様の多結晶シリコン6による上部ゲート、O膜(酸化膜)10による誘電体膜、およびEPROM2と同様の多結晶シリコン8による下部ゲートの積層構造から形成され、上部ゲートおよび下部ゲートからそれぞれA1配線11が引き出されている。そして、アナログキャパシタ3の誘電体膜の酸化膜厚に換算した値は、EPROM2の誘電体膜厚を酸化膜厚に換算した値より大きく設定されている。

【0024】ゲート4は、EPROM2およびアナログキャパシタ3と同様の多結晶シリコン6によるゲートと、アナログキャパシタ3と同様のO膜10による誘電体膜から形成されている。

20 【0025】次に、本実施例の作用について、図2～図6に基づいてプロセスフローを説明する。

【0026】まず、P型基板1を熱酸化後、酸化による酸化膜9の形成、多結晶シリコン8のデポ、N型またはP型不純物をドープ後、さらに下部ゲート電極のパターンングを行う(図2)。そして、下部ゲート電極で、EPROM2の浮遊ゲートおよびアナログキャパシタ3の下部電極を形成する。

30 【0027】さらに、熱酸化後、ナイトライドデポを行う(図3)。そして、フォトレジストおよびエッティング工程により、アナログキャパシタ3およびゲート4のNO膜を除去する(図4)。

【0028】次に、熱酸化によりナイトライド膜、多結晶シリコン8、P型基板1のシリコンを同時に酸化することにより、EPROM2のONO膜7、アナログキャパシタ3およびゲート4のO膜10を形成する(図5)。

【0029】この時、熱酸化工程において、酸化温度または時間が少ないので、ナイトライド膜はほとんど酸化されないので、EPROM2の誘電体膜はNO膜になる。

40 【0030】また、多結晶シリコン8上の熱酸化は増速酸化によってP型基板1の熱酸化膜より厚くなる。すなわち、増速酸化の割合は、酸化雰囲気、他結晶シリコンのN型またはP型不純物濃度により設定することができる。これによって各誘電体膜の膜厚差を任意に設定することができる。

【0031】さらに、上部ゲート電極を形成する(図6)。そして、酸化膜の形成、A1配線11の引き出し、さらに保護膜5を形成することによって図1に示すような半導体集積回路装置が製造される。

50

(4)

5

【0032】以上のように、本実施例の半導体集積回路装置によれば、熱酸化工程における酸化温度および時間の設定により、E PROM 2 の誘電体膜とアナログキャパシタ 3 の誘電体膜との間に膜厚差、すなわちアナログキャパシタ 3 の酸化膜厚を E PROM の誘電体膜の酸化膜厚換算値より厚く設定することが可能となり、かつ酸化雰囲気、多結晶シリコンのN型またはP型不純物濃度による増速酸化の割合を任意に設定することにより、アナログキャパシタ 3 の誘電体膜をゲート4の誘電体膜に比べて厚くすることができる。

【0033】

【実施例2】図7は本発明の半導体集積回路装置の製造方法の他の実施例である半導体集積回路装置の要部を示す断面図、図8～図12は本実施例の半導体集積回路装置における製造手順を示す断面図である。

【0034】本実施例の半導体集積回路装置は、実施例1と同様にE PROMとアナログキャパシタとが同一チップ上に搭載された半導体集積回路装置とされ、P型基板1上に、E PROM 2 a、アナログキャパシタ 3 およびゲート4が形成され、実施例1との相違点はE PROM 2 aの積層構造が異なる点である。

【0035】本実施例のE PROM 2 aは、多結晶シリコン6による上部ゲートと、多結晶シリコン8による下部ゲートとの間の誘電体膜が、ONONO膜（酸化膜／ナイトライド膜／酸化膜／ナイトライド膜／酸化膜）12から形成されている。

【0036】すなわち、実施例1においては、ONO膜7の上部のO膜を厚く設定したい場合にスチーム酸化が用いられるが、この時にアナログキャパシタ 3 およびゲート4のO膜10が厚くなってしまうという問題点が生ずる。たとえば、スチーム酸化が950°Cで20分の条件下では、ONO膜7の上部酸化膜の膜厚は約2nmであるが、P型基板1上のO膜10の膜厚は約200nmにもなるので、これを対策したのが本実施例である。

【0037】次に、本実施例の作用について、図8～図12に基づいてプロセスフローを説明する。

【0038】まず、実施例1と同様にP型基板1を熱酸化後、酸化膜9の形成、多結晶シリコン8のデポ、N型またはP型不純物をドープ後、さらに下部ゲート電極のバーニングを行い、E PROM 2 aの浮遊ゲートおよびアナログキャパシタ 3 の下部電極を形成する（図8）。

【0039】さらに、熱酸化後、ナイトライドデポ、さらに熱酸化、ナイトライドデポを行い、E PROM 2 aのONONO膜12のNONO膜を形成する（図9）。そして、フォトレジストおよびエッチング工程により、アナログキャパシタ 3 およびゲート4のNONO膜を除去する（図10）。

【0040】次に、熱酸化によりナイトライド膜、多結晶シリコン8、P型基板1のシリコンを同時に酸化する

6

ことにより、E PROM 2 aのONONO膜12、アナログキャパシタ 3 およびゲート4のO膜10を形成する（図11）。この時、熱酸化工程において、実施例1と同様にナイトライド膜の酸化がほとんどない場合、E PROM 2 aの誘電体膜はNONO膜になる。また、多結晶シリコン8上、P型基板1上のO膜10は任意に膜厚設定が可能である。

【0041】さらに、上部ゲート電極を形成する（図12）。そして、酸化膜の形成、A1配線11の引き出し、さらに保護膜5を形成することによって図7に示すような半導体集積回路装置が製造される。

【0042】従って、本実施例の半導体集積回路装置によれば、実施例1と同様にアナログキャパシタ 3 の酸化膜厚をE PROM 2 aの誘電体膜の酸化膜厚換算値より厚く設定することができ、かつ実施例1に比べて、アナログキャパシタ 3 およびゲート4の酸化膜を厚くすることなく、E PROM 2 aのONONO膜12の酸化膜を厚く設定することができる。

【0043】

【実施例3】図13は本発明の半導体集積回路装置の製造方法のさらに他の実施例である半導体集積回路装置の要部を示す断面図、図14～図20は本実施例の半導体集積回路装置における製造手順を示す断面図である。

【0044】本実施例の半導体集積回路装置は、実施例1および2と同様にE PROMとアナログキャパシタとが同一チップ上に搭載された半導体集積回路装置とされ、P型基板1上に、E PROM 2、アナログキャパシタ 3 a およびゲート4が形成され、実施例1および2との相違点はアナログキャパシタ 3 aの積層構造が異なる点である。

【0045】すなわち、本実施例のアナログキャパシタ 3 aは、多結晶シリコン6による上部ゲートと、多結晶シリコン8による下部ゲートとの間の誘電体膜が、ONONO膜（酸化膜／ナイトライド膜／酸化膜／ナイトライド膜／酸化膜）13から形成されている。そして、アナログキャパシタ 3 aのナイトライド膜は、E PROM 2のナイトライド膜より厚く形成される。

【0046】次に、本実施例の作用について、図14～図20に基づいてプロセスフローを説明する。

【0047】まず、実施例1および2と同様にP型基板1を熱酸化、酸化膜9の形成、多結晶シリコン8のデポ、N型またはP型不純物をドープ後、さらに熱酸化、ナイトライドデポを行う（図14）。そして、下部ゲート電極のバーニングを行う（図15）。この時、E PROM 2の浮遊ゲートおよびアナログキャパシタ 3 aの下部電極上にNO膜が形成されている。

【0048】さらに、フォトレジストおよびエッチング工程により、E PROM 2のNO膜を除去する（図16）。そして、熱酸化、ナイトライドデポを行い、E PROM 2のONONO膜7のNO膜、アナログキャパシタ 3

(5)

7

aのONONO膜13のNONO膜を形成する(図17)。この時、熱酸化によりナイトライドがほとんど酸化されない場合、アナログキャパシタ3aはNO膜になる。

【0049】次に、フォトレジストおよびエッチング工程により、ゲート4のNO膜を除去する(図18)。そして、熱酸化により、ナイトライド膜、P型基板1のシリコンを同時に酸化し、EPROM2のONO膜7、アナログキャパシタ3aのONONO膜13またはONO膜、ゲート4のO膜10を形成する(図19)。この時、熱酸化によりナイトライドがほとんど酸化されない場合、EPROM2はNO膜、アナログキャパシタ3aはNONO膜またはNO膜になる。

【0050】さらに、上部ゲート電極を形成する(図20)。そして、酸化膜の形成、A1配線11の引き出し、さらに保護膜5を形成することによって図13に示すような半導体集積回路装置が製造される。

【0051】従って、本実施例の半導体集積回路装置によれば、実施例1および2と同様にアナログキャパシタ3aの酸化膜厚をEPROM2の誘電体膜の酸化膜厚換算値より厚く設定することができ、かつアナログキャパシタ3aのナイトライド膜を、EPROM2のナイトライド膜に比べて厚く形成することが可能となる。

【0052】以上、本発明者によってなされた発明を実施例1～3に基づき具体的に説明したが、本発明は前記各実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0053】たとえば、前記各実施例の半導体集積回路装置については、酸化膜を熱酸化により形成する場合について説明したが、本発明は前記実施例に限定されるものではなく、たとえばその一部にCVDによるCVD酸化膜を用いる場合についても広く適用可能である。

【0054】また、ナイトライド膜についても、たとえばCVD膜の他に、酸化膜の窒化膜またはシリコンの窒化膜を用いてもよい。さらに、他の高誘電率膜、たとえばタンタルオキサイド膜などを用いる場合などについても適用可能である。

【0055】以上の説明では、主として本発明者によってなされた発明をその利用分野であるEPROMに用いられる半導体集積回路装置に適用した場合について説明したが、これに限定されるものではなく、たとえばEEPROMなどの他の半導体集積回路装置についても広く適用可能である。

【0056】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0057】すなわち、ナイトライド膜、多結晶シリコン、基板シリコンの酸化レートの差を利用し、この酸化レートに対応した膜厚差で形成することにより、EEPROM

8

OMまたはEEPROMの誘電体膜厚、アナログキャパシタの誘電体膜厚、ゲート誘電体膜厚を任意に設定することができるので、それぞれの最適化が可能である。

【0058】これにより、たとえばEPROMまたはEEPROMの誘電体膜を薄く設定することによってスケーリングが可能となり、またアナログキャパシタの誘電体膜を厚く設定することによって電圧係数の小さい容量の形成が可能となり、さらにゲート誘電体膜厚をそれらと独立に設定することによって任意のスケーリングが可能となる。

【0059】この結果、特にEPROMまたはEEPROMとアナログキャパシタが同一チップ上に搭載される半導体集積回路装置において、各誘電体膜の任意のスケーリングが可能とされる半導体集積回路装置の製造方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の製造方法の実施例1である半導体集積回路装置の要部を示す断面図である。

【図2】実施例1の半導体集積回路装置における製造手順を示す断面図である。

【図3】実施例1において図2に続く製造手順を示す断面図である。

【図4】実施例1において図3に続く製造手順を示す断面図である。

【図5】実施例1において図4に続く製造手順を示す断面図である。

【図6】実施例1において図5に続く製造手順を示す断面図である。

【図7】本発明の半導体集積回路装置の製造方法の実施例2である半導体集積回路装置の要部を示す断面図である。

【図8】実施例2の半導体集積回路装置における製造手順を示す断面図である。

【図9】実施例2において図8に続く製造手順を示す断面図である。

【図10】実施例2において図9に続く製造手順を示す断面図である。

【図11】実施例2において図10に続く製造手順を示す断面図である。

【図12】実施例2において図11に続く製造手順を示す断面図である。

【図13】本発明の半導体集積回路装置の製造方法の実施例3である半導体集積回路装置の要部を示す断面図である。

【図14】実施例3の半導体集積回路装置における製造手順を示す断面図である。

【図15】実施例3において図14に続く製造手順を示す断面図である。

【図16】実施例3において図15に続く製造手順を示す断面図である。

す断面図である。

【図17】実施例3において図16に続く製造手順を示す断面図である。

【図18】実施例3において図17に続く製造手順を示す断面図である。

【図19】実施例3において図18に続く製造手順を示す断面図である。

【図20】実施例3において図19に続く製造手順を示す断面図である。

【符号の説明】

- 1 P型基板
- 2 EEPROM
- 2 a EEPROM

9

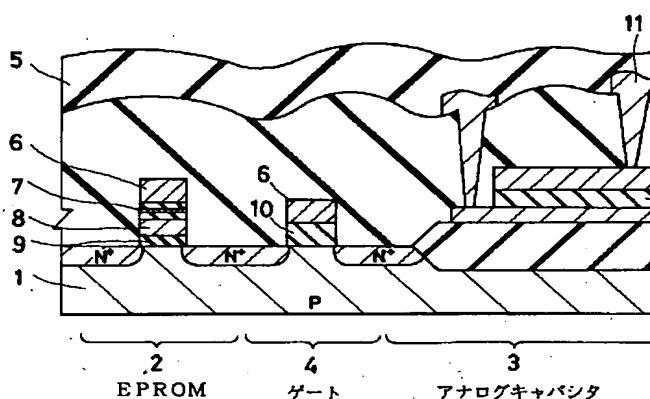
(6)

10

- 3 アナログキャパシタ
- 3 a アナログキャパシタ
- 4 ゲート
- 5 保護膜
- 6 多結晶シリコン
- 7 ONO膜(誘電体膜)
- 8 多結晶シリコン
- 9 酸化膜
- 10 O膜(誘電体膜)
- 11 A1配線
- 12 ONONO膜(誘電体膜)
- 13 ONONO膜(誘電体膜)

【図1】

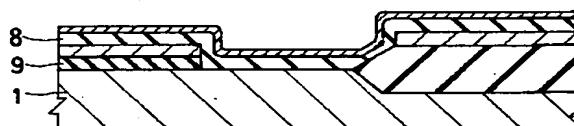
図1



7 : ONO膜(誘電体膜)
10 : O膜(誘電体膜)

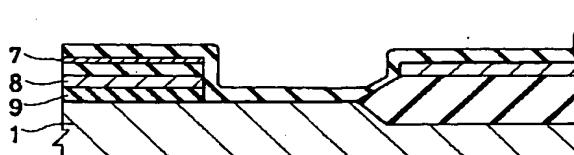
【図3】

図3



【図5】

図5



【図2】

図2

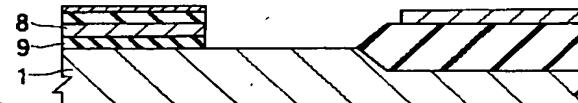


【図8】



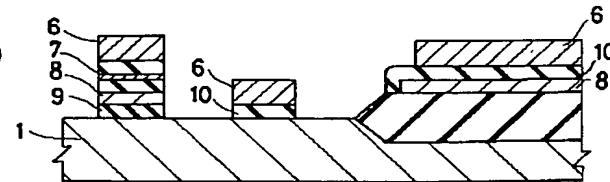
【図4】

図4



【図6】

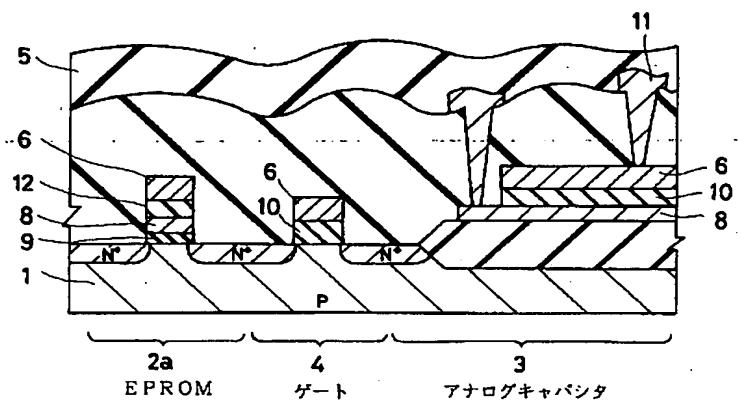
図6



(7)

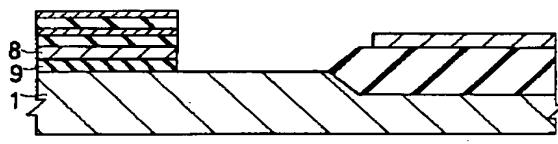
【図7】

図7



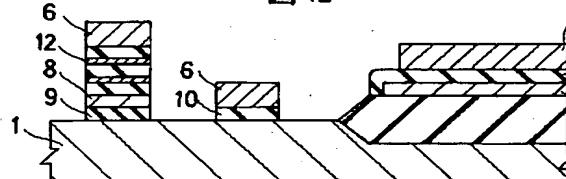
【図10】

図10



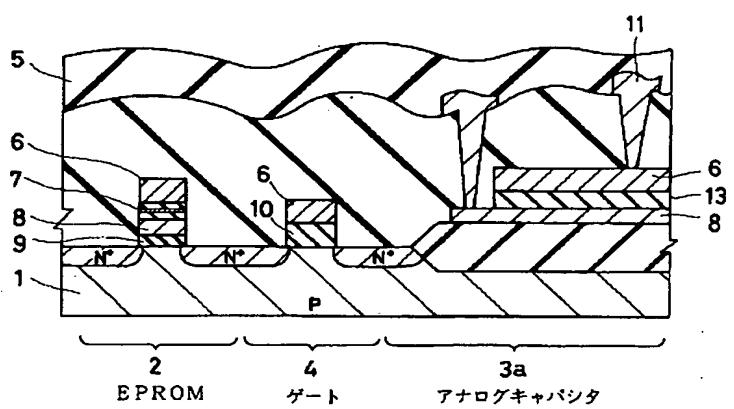
【図12】

図12



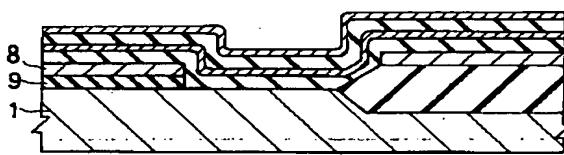
【図13】

図13



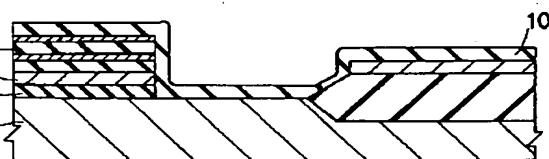
【図9】

図9



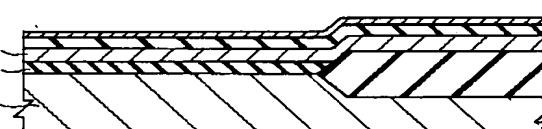
【図11】

図11



【図14】

図14



【図15】

図15



(8)

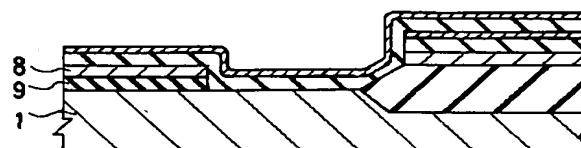
【図16】

図16



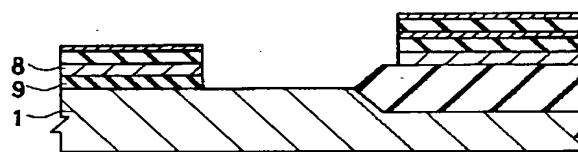
【図17】

図17



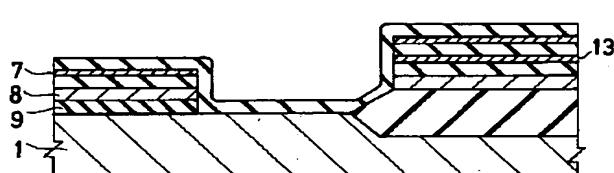
【図18】

図18



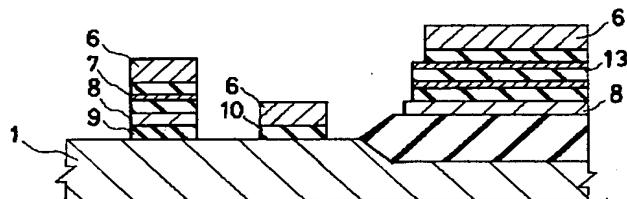
【図19】

図19



【図20】

図20



フロントページの続き

(51) Int. Cl. 5

H 01 L 27/088
27/115

識別記号

府内整理番号

F I

技術表示箇所

8831-4M

H 01 L 27/10

4 3 4